

**SEMICONDUCTOR INTEGRATED CIRCUIT**

Patent Number: JP9258249  
Publication date: 1997-10-03  
Inventor(s): KUME MASANOBU  
Applicant(s): CITIZEN WATCH CO LTD  
Requested Patent: ☐ JP9258249  
Application Number: JP19960070178 19960326  
Priority Number(s):  
IPC Classification: G02F1/1345  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To prevent the chip size and mounting area from increasing due to the increase of the number of pads in intellectualization of a liquid crystal drive IC by arranging input pads for signal and the input pads for power source with the same pitch as a wiring pitch of wiring of an FPC (flexible printed circuit) for connecting between an external circuit and a liquid crystal panel.

**SOLUTION:** Plural signal inputting pads 107 and power source inputting pads and setting input pads 113 are arranged in line to form a pads group. Plural output pads 104 form a pad lines group by arranging plural pad lines arranged in line in parallel to the pad line of the signal inputting pads 107 and the power source inputting pads and setting input pads 113. Then, the signal inputting pads 107 and the power source inputting pads are arranged at the same pitch as the wiring pitch 11 of the wiring of a flexible printed circuit for connecting between the external circuit and the liquid crystal panel 101:

Data supplied from the esp@cenet database - I2



## 【特許請求の範囲】

【請求項1】 チップオンガラス実装方法により液晶パネル上に実装する液晶駆動用の半導体集積回路において、前記半導体集積回路のチップの一边に駆動信号用の入力パッドと電源パッドとを配置し、かつ駆動信号用の入力パッドと電源パッドの配置ピッチは外部回路より液晶パネル上のITO配線を介して信号を入力する為のフレキシブル・プリンテッド・サーキットの配線ピッチと同じであることを特徴とする半導体集積回路。

【請求項2】 チップオンガラス実装方法により液晶パネル上に実装する液晶駆動用の半導体集積回路において、前記半導体集積回路のチップの一边に駆動信号用の入力パッドと電源パッドとを配置し、かつ駆動信号用の入力パッドと電源パッドの配置ピッチは外部回路より液晶パネル上のITO配線を介して信号を入力する為のフレキシブル・プリンテッド・サーキットの配線ピッチと同じで、かつ液晶駆動用の半導体集積回路の駆動信号用の入力パッドの間に液晶駆動用半導体集積回路の動作モードを設定する設定パッドや液晶駆動用半導体集積回路の検査用のパッドなどを配置したことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路のパッドの配置に関し、特に液晶パネル上にチップオンガラス実装方法を用いて直接実装する液晶用の半導体集積回路のパッドの配置に関する。

## 【0002】

【従来の技術】 図3は液晶表示用の半導体集積回路を実装する液晶パネルの全体図である。図3に示す液晶パネル303はラップトップ型パソコンに用いるVGA用液晶パネルの例であり、640×480ドットの画素部を上下に分割して表示する。

【0003】 また、図3に示す液晶パネル303は、信号電極駆動用の半導体集積回路301、302を上下に4個（図では3個）づつ実装し、走査電極用の半導体集積回路304を右側に2個実装し、実装方法はチップオンガラス実装方法を用いている。

【0004】 液晶表示パネルは、現在いろいろの分野に利用され、例えばパソコン用の表示装置として、図3に示すVGAと言われる640×480の表示法やSVG Aと言われる800×600、またそれ以上の表示規格がある。またテレビ用の表示方法としては、NTSC、PAL、SECAMという放送規格がある。

【0005】 これら規格の違う液晶パネルは、それぞれ専用の液晶表示用の半導体集積回路を設計し、実装して用いても良いが、一般的には、できるだけ規格の違う液晶パネルでも用いることが可能な半導体集積回路を設計することが多い。

【0006】 したがって、このような多種の規格に対応

する液晶表示用の半導体集積回路は、それぞれの規格の動作モードに応じて内部動作を可変するための設定端子を複数設ける必要がある。

【0007】 具体的な動作モードの切り替えの例として、図3に示す信号電極駆動用の半導体集積回路が4個（図では3個）づつ実装されているパソコンの液晶表示パネルの場合、640本の信号電極の液晶表示パネルと800の信号電極の液晶表示パネルとでは、同一の信号電極駆動用の半導体集積回路で出力本数を160個の出力と200個の出力とに切り替えるための設定端子が必要になる。

【0008】 また、半導体集積回路の検査を容易に行うため、テスト用の設定端子も必要になる。

【0009】 このように、同一の半導体集積回路で多種の規格に対応するためには、より多くの設定端子が必要になってくる。

【0010】 これらの設定端子は、ICの動作モードを決定する為の端子であり信号としては、HIまたはLOのDC信号である。

【0011】 また、信号電極駆動用の半導体集積回路には、データを転送するためのシフトクロック、データをラッチする為のラッチ信号、表示データを入力するデータ端子などがあり、これらの信号入力端子は高速信号が入力されるものも存在する。

【0012】 このほかに、半導体集積回路のロジック回路に供給するプラス側の電源パッド及びマイナス側の電源パッドと液晶を駆動するためのプラス側の電源パッド及びマイナス側の電源パッドが必要となる。

【0013】 一般的な、半導体集積回路の入出力パッドの配置は、半導体集積回路チップの周囲に配置しているが、出力パッドの数が多い液晶表示用の半導体集積回路の場合は、半導体集積回路チップの内部に出力パッドを配置することが一般的である。

【0014】 図2は従来例の液晶パネルに実装する液晶表示用の半導体集積回路の実装図である。図2に示す液晶表示用の半導体集積回路は信号電極駆動用の半導体集積回路の例である。図2に示す半導体集積回路202の複数の入力パッド203は半導体集積回路202の長手方向に一行に配置しパッド列を形成し、複数の出力パッド204は半導体集積回路202の長手方向に入力パッド203のパッド列に平行して一行に配置するパッド列を、平行に複数配置してパッド列群を形成している。

【0015】 また、入力パッド203のパッド列と出力パッド204のパッド列群とは、入力用のITO配線と出力用のITO配線どうしがお互いに接触しないように一定の距離X209において半導体集積回路のチップエッジに配置してあり、出力パッド204のパッド列群は図3に示す液晶パネル303の画素部側に位置している。

【0016】 クロック信号やデータ信号用の入力パッド

203と液晶駆動の電源用の入力パッド203とロジック駆動の電源用の入力パッド203と信号電極駆動用の半導体集積回路の動作モードを決める為の入力パッド203は、バンプを介してITO配線208、に接続し、ITO配線208は画素部と反対側の外部の回路に接続するためのフレキシブル・プリンテッド・サーキット206（以下FPCと記す）と接続している。

【0017】画素部と反対側の外部の回路に接続するためのFPC206の配線ピッチは一般的に600 $\mu$ m程度で有り、入力パッド203のレイアウトピッチは150 $\mu$ m程度で有る為、入力パッド203と画素部と反対側の外部の回路に接続するためのFPC206とを接続するITO配線206は液晶パネル上を引き回す為、入力パッド203とFPC207の間にはITO配線領域Y210が必要となる。

【0018】入力パッド203と画素部と反対側の外部の回路に接続するためのFPC206とを接続するITO配線206は液晶パネル上を曲げて引き回すことにより配置配線するため、結果としてITO配線208の配線長が長くなり配線抵抗が高くなる。

【0019】

【発明が解決しようとする課題】しかしながら、1枚のガラス基板から液晶パネルの取れる個数を増加し、また液晶パネルを実装する筐体のフレーム部を少なくする要求が強く、図3に示す液晶パネル303の半導体集積回路301と画素部と反対側の外部の回路に接続するためのFPCの配線とを接続するためのITO配線領域307を縮小する必要がある。

【0020】また、表示画素数が増加すると信号電極駆動用ICの高速動作化が要求され、信号電極駆動用ICに入力される駆動信号はより高速化され、図2で示す半導体集積回路202と画素部と反対側の外部の回路に接続するためのFPC配線206とを接続するためのITO配線208の低抵抗化が要求される。

【0021】しかし、信号電極駆動用ICのインテリジェント化が進むと前述した通り入力端子数は増加し、図2で示されるITO配線領域Y210は増大し、それ故ITO配線は増長し抵抗値は大となりICの高速化には不利となる。

【0022】また、信号電極駆動用IC用の液晶駆動用電源及びロジック電源の抵抗が大きくなると画面上の表示むら、いわゆるクロストーク増大の原因にもなる。

【0023】本発明の目的は、信号用の入力パッド203と液晶駆動電源用の入力パッド203とロジック駆動電源用の入力パッド203と外部の回路に接続するためのFPC配線206の配線ピッチとを一致させて配置し他のモード設定端子用の入力パッド203及びテスト用の入力パッド203を信号用の入力パッド203と液晶駆動電源用の入力パッド203とロジック駆動電源用の入力パッド203の間に配置することにより、ITO配

線領域Y210を小さくし、且つ半導体集積回路に高速の信号入力を可能とし且つ表示上のクロストークを減少させるため、外部の回路に接続するためのFPCの配線206と信号用の入力パッド203とを接続するITO配線206の配線抵抗を小さくすることを可能とした半導体集積回路を提供することである。

【0024】

【課題を解決するための手段】本発明の半導体集積回路の構成は、一列に配置する複数の入力パッドのうち信号用の入力パッドと電源用の入力パッド配置は、外部の回路に接続するためのFPCの配線の配線ピッチと同じピッチで配置し、液晶駆動ICの信号用の入力パッドや電源用の入力パッドと外部回路と液晶パネルを接続するためのFPC配線と、その両者を接続する為の液晶パネル上のITO配線とをそれぞれストレートに接続し、且つ他の動作モードを設定する設定端子用の入力パッドやテスト用の入力パッドは、信号用の入力パッドや電源入力パッドの間に配置し、液晶パネル上のITO配線により、図2で示す入力用のITO配線と出力用のITO配線どうしがお互いに接触しないように一定の距離X209を使うことによりチップの外側に引き出し信号配線に使っているFPC配線の外側に配置することの特徴とする。

【0025】信号用の入力パッドの配置と電源用の入力パッドの配置を外部回路と液晶パネルを接続するためのFPCの配線の配線ピッチと同じピッチで配置することにより、信号用の入力パッドの配置と電源用の入力パッドと外部回路と液晶パネルを接続するためのFPCの配線とを接続するITO配線を短くすることが可能である。それ故、液晶パネルの狭額縁化が可能であり、またITO配線の低抵抗化が可能であるため、液晶駆動用IC動作の高速化や、電源配線の低抵抗化により画面上の表示むらである、いわゆるクロストークの減少に寄与する。また、設定端子用のパッドと低速信号用のパッドを高速信号パッド及び電源パッドの間に配置することにより、液晶駆動ICのチップサイズが大きくなることはない。

【0026】

【発明の実施の形態】チップオンガラス実装方法により液晶パネル上に実装する液晶駆動用の半導体集積回路において、前記半導体集積回路のチップの一辺に駆動信号用の入力パッドと電源パッドとを配置し、かつ駆動信号用の入力パッドと電源パッドの配置ピッチは外部回路より液晶パネル上のITO配線を介して信号を入力する為のフレキシブル・プリンテッド・サーキットの配線ピッチと同じであることを特徴とする半導体集積回路である。

【0027】

【実施例】図3は液晶表示用の半導体集積回路を実装する液晶パネルの全体図である。図3に示す液晶パネル3

03はラップトップ型パソコンに用いるVGA用液晶パネルの例であり、640×480ドットの画素部を上下に分割して表示する。

【0028】また、図3に示す液晶パネル303は、信号電極駆動用の半導体集積回路301、302を上下に4個ずつ実装し、走査電極用の半導体集積回路304を右側に2個実装し、実装方法はチップオンガラス実装方法を用いている。

【0029】図1は本発明の実施例における液晶パネルに実装する液晶表示用の半導体集積回路の実装図である。図1に示す液晶表示用の半導体集積回路は信号電極駆動用の半導体集積回路の例である。

【0030】図1に示す半導体集積回路102の複数の信号入力用パッド107と電源入力用パッド112と設定用の入力パッド113は半導体集積回路102の長手方向に一列に配置しパッド列を形成し、複数の出力パッド104は半導体集積回路102の長手方向に信号入力用パッド107と電源入力用パッド112と設定用の入力パッド113のパッド列に平行して一列に配置するパッド列を、平行に複数配置してパッド列群を形成している。

【0031】また、信号入力用パッド107と電源入力用パッド112と設定用の入力パッド113のパッド列と出力パッド104のパッド列群とは、一定の距離のスペース114をおいて半導体集積回路のチップエッジに配置しており、出力パッド104のパッド列群は図3に示す液晶パネル303の画素部側に位置している。

【0032】また、半導体集積回路のロジック回路用のプラス電源入力パッド115、半導体集積回路のロジック回路用のマイナス電源入力パッド118、半導体集積回路の液晶駆動用プラス側電源入力パッド116、半導体集積回路の液晶駆動用マイナス側電源入力パッド117、及びクロック信号やデータ信号のための入力信号用の入力パッド107は、それぞれ外部回路と液晶パネルを接続するためのFPC配線105の配線ピッチZ111と同じピッチで配置され、バンパを介してITO配線106に接続されている。

【0033】また、ITO配線106は、外部回路と液晶パネルを接続するためのFPC配線105と接続されている。

【0034】また、設定用の入力パッド113は、信号入力用パッド107の間に配置され、バンパを介してITO配線108で、出力パッド104の方向に引き出され出力パッド104と入力パッド107のスペース114の間をITO配線により配線することで半導体集積回路102の外側に引き出し外部回路と液晶パネルを接続するためのFPC配線105に接続されている。

【0035】また、それぞれの出力パッド104は、バンパを介してITO配線105に接続し画素電極に接続している。本発明の実施例における半導体集積回路10

2は、外部回路と液晶パネルを接続するためのFPC配線105の配線ピッチZ111は600 $\mu$ mであり、信号入力用パッド107と電源入力用パッド112の配置ピッチは同じく600 $\mu$ mである。

【0036】また、設定用の入力パッド113は、信号入力用パッド107の間に配置され、信号入力用パッド107が配置された部分のパッド配置ピッチは、同じく600 $\mu$ mの半分で300 $\mu$ mピッチとなっている。

【0037】本発明の実施例における液晶パネル101は、ITO配線の配線幅が10 $\mu$ mであり、スペースは10 $\mu$ mである。

【0038】したがって、信号入力用パッド107と電源入力用パッド112と設定用の入力パッド113のパッド列と出力パッド104のパッド列群とのスペースY114は50 $\mu$ mとなる。

【0039】また、半導体集積回路102のチップ端から液晶パネルの端までの距離X110は、ITO配線105がストレートに配線され、外部回路と液晶パネルを接続するためのFPC配線105に接続されているため、FPC配線105と液晶パネル101を接着するのに必要なスペース1.5mmに可能な限り近づくことができる。

【0040】従って、ITO配線105は従来の例に比べて大幅に短くでき、それ故信号入力配線抵抗が小さくなり、高速入力信号を入力することが可能となる。

【0041】また、電源配線のITO配線も従来の例に比べて大幅に短くできることで電源配線抵抗を小さくし、画面上の表示むらである、いわゆるクロストークの減少にも寄与する。

【0042】設定用の入力パッド113の数が増加しても、信号入力用パッド107の間に配置されるため、チップの長辺側のサイズが大きくなることなく、またITO配線108の配線長が長くなってもDC信号であるため問題ない。

【0043】なお、設定用の入力パッド113は、KHzオーダ程度の遅い信号でも問題ないのは自明である。

【0044】

【発明の効果】上記記載の説明から明らかなように、信号用の入力パッドの配置と電源用の入力パッドの配置を外部回路と液晶パネルを接続するためのFPCの配線の配線ピッチと同じピッチで配置することにより、信号用の入力パッドの配置と電源用の入力パッドと外部回路と液晶パネルを接続するためのFPCの配線とを接続するITO配線を短くし、液晶パネルの狭額縁化が可能である。またITO配線の低抵抗化が可能であるため、液晶駆動用IC動作の高速化や、電源配線の低抵抗化により画面上の表示むらである、いわゆるクロストークの減少に寄与し、且つ設定端子用のパッドと低速信号用のパッドを高速信号パッド及び電源パッドの間に配置することにより、チップ面積が増大することのない半導体集積回

路を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例における液晶パネルに実装する液晶表示用の半導体集積回路の実装図である。

【図2】従来例の液晶パネルに実装する液晶表示用の半導体集積回路の実装図である。

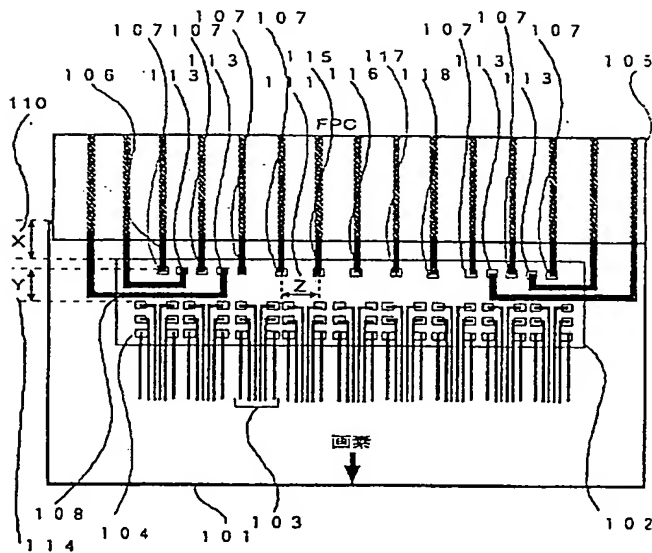
【図3】液晶表示用の半導体集積回路を実装する液晶パネルの全体図である。

【符号の説明】

101 液晶パネル  
102 半導体集積回路  
103 出力パッドのITO配線  
104 出力パッド  
105 FPC配線  
106 入力信号用のITO配線

107 入力信号用のパッド  
108 設定端子用のITO配線  
110 FPC接着用のスペース  
111 FPC配線の配線ピッチ  
113 設定端子用のパッド  
114 入力パッドのパッド列と出力パッドのパッド列群とのスペース  
115 ロジック回路用のプラス電源入力パッド  
116 半導体集積回路の液晶駆動用プラス側電源入力パッド  
117 半導体集積回路の液晶駆動用マイナス側電源入力パッド  
118 半導体集積回路のロジック回路用のマイナス電源入力パッド

【図1】



【図3】

